

M-800PIO 取扱説明書**概要**

本ボードは、絶縁出力16ビット、絶縁入力16ビット、非絶縁入出力(3.3V)16ビットのデジタル入出力ボードです。

- ・ 弊社CPUボード (M-801、M-802) と接続することでデジタル入出力制御をすることができます。
- ・ 絶縁入出力ともに、8ビットで1コモンです。
- ・ 絶縁入力部の組抵抗を変更することによって各種電圧に対応できます。
5V・・・330
12V・・・1K
24V・・・2.2K
- ・ 非絶縁入出力は1ビット単位での入力/出力設定が可能です。
- ・ 同じM-800PIOを複数枚同時に使用することができます。

仕様M-800PIO

IO	XILINX社製CPLD XC95144XL-10
絶縁入力部	
形式	フォトカプラ絶縁入力
ビット数	16ビット(8ビットで1コモン)
フォトカプラ	東芝製TLP283相当
入力電圧・電流	DC5V、DC12、DC24V 10mA(各ビット)
応答時間	100 μ sec以内
入力耐圧	48VDC MAX
絶縁出力部	
形式	フォトMOSリレー絶縁出力
ビット数	16ビット(8ビットで1コモン)
フォトMOSリレー	OMRON製G3VM-61G1相当
出力電流	400mA MAX
応答時間	2msec以内
出力耐圧	48VDC MAX
非絶縁入出力部	
ビット数	16ビット(1ビット単位で入出力設定が可能)
入力電圧	HIGH 2.5V~5.0V
入力電流	20mA MAX
出力電圧	HIGH 3.3V
出力電流	5mA MAX
使用温度範囲	0~40
電源電圧	DC+5V±0.5V
消費電流量	500mA MAX
外形寸法(mm)	90W × 90D × 20H

サンプルソース

弊社ホームページ上よりダウンロードできます。

URL : <http://logicpack.co.jp/>

製品内容

M-800PIOボード	1枚
組抵抗330、1K、2.2K	各2個
取扱説明書	1冊
回路図	1枚
CN1、CN2実装用L型MILプラグ(OMRON社製 XG4C-5034)	2個

！注意

・電源

駆動電源は電力に十分余裕のあるものを御使用ください。
また、電源接続時には極性に十分気をつけてください。

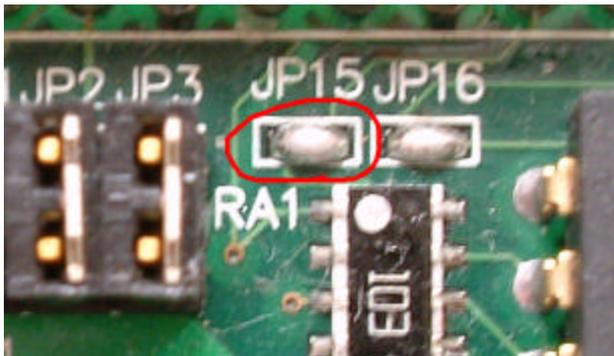
・半田ジャンパ

オープンまたはショートするには半田ごてを使用しますが、
半田ごての温度には十分気をつけてください。

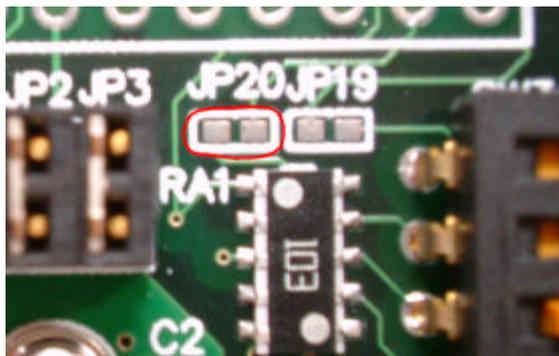
・リセット信号

接続するCPUボードのリセット信号出力のジャンパ（M-801：JP15、M-802：JP20）を
必ずショートさせてください。

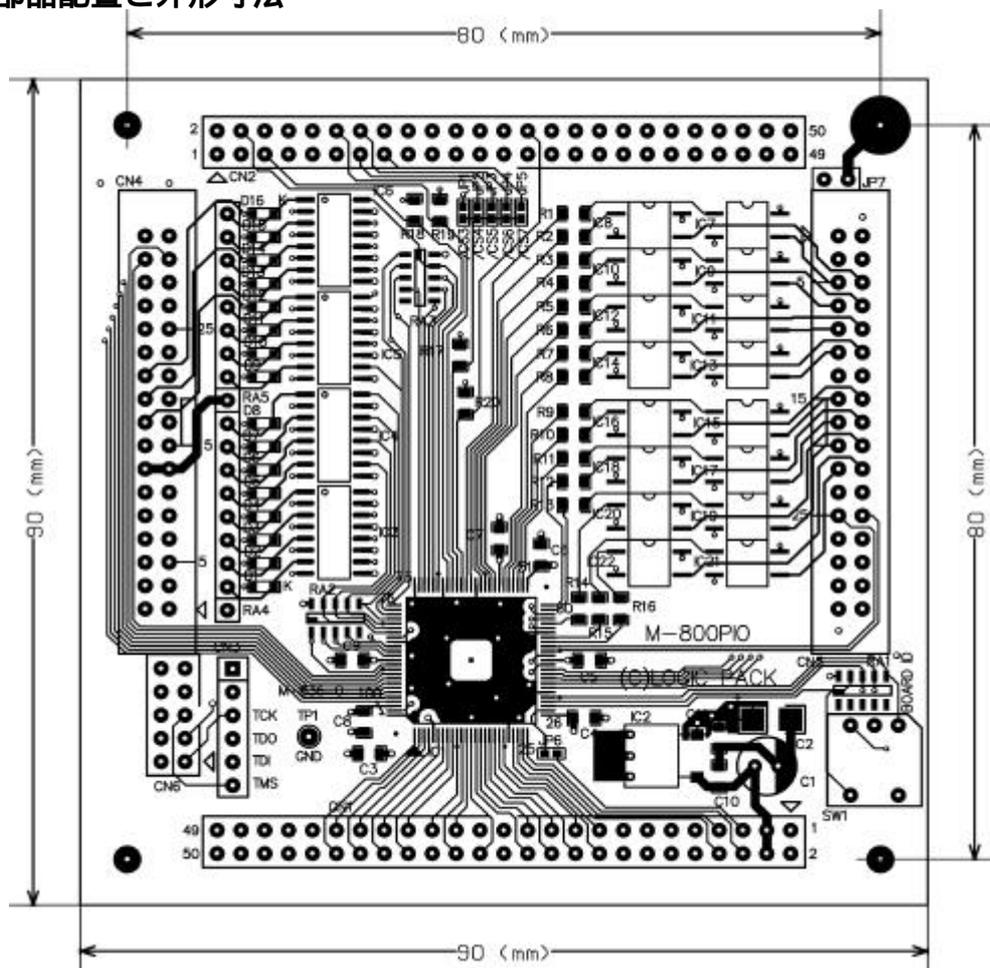
<M-801>



<M-802>



部品配置と外形寸法



コネクタ説明

CN1 MIL50	
50	VCC
49	GND
48	D0/P40
47	D1/P41
46	D2/P42
45	D3/P43
44	D4/P44
43	D5/P45
42	D6/P46
41	P47/D7
40	P30/D8
39	P31/D9
38	P32/D10
37	P33/D11
36	P34/D12
35	P35/D13
34	P36/D14
33	P37/D15
32	P10/A0
31	P11/A1
30	P12/A2
29	P13/A3
28	P14/A4
27	P15/A5
26	P16/A6
25	P17/A7
24	P20/A8
23	P21/A9
22	P22/A10
21	P23/A11
20	P24/A12
19	P25/A13
18	P26/A14
17	P27/A15
16	P50/A16
15	P51/A17
14	P52/A18
13	P53/A19
12	P60/*WAIT
11	P61/*BREQ
10	P62/*BACK
9	P63/*AS
8	P64/*RD
7	P65/*HWR
6	P66/*LWR
5	P67/CLK
4	VCC
3	VCC
2	GND
1	GND

CPU

CN2 MIL50	
50	NMI
49	*STBY
48	*ERSTI
47	*ERSTO
46	VCC
45	VCC
44	GND
43	GND
42	AVSS
41	AVSS
40	AVCC
39	AVCC
38	VREF
37	VREF
36	AN0/P70
35	AN1/P71
34	AN2/P72
33	AN3/P73
32	AN4/P74
31	AN5/P75
30	DA0/AN6/P76
29	DA1/AN7/P77
28	*RFSH/*IRQ0/P80
27	*CS3/*IRQ1/P81
26	*CS2/*IRQ2/P82
25	ADTRG/*CS1/*IRQ3/P83
24	*CS0/P84
23	*TEND0/TCLKA/TP0/PA0
22	*TEND1/TCLKB/TP1/PA1
21	TCLKC/TIOCA0/TP2/PA2
20	TCLKD/TIOCB0/TP3/PA3
19	A23/TIOCA1/TP4/PA4
18	A22/TIOCB1/TP5/PA5
17	A21/TIOCA2/TP6/PA6
16	A20/TIOCB2/TP7/PA7
15	*CS7/TMO0/TP8/PB0
14	*CS6/DREQ0/TMIO1/TMP9/PB1
13	*CS5/TMO2/TP10/PB2
12	*CS4/*DREQ1/TMIO3/TP11/PB3
11	*UCAS/TP12/PB4
10	SCK2/*LCAS/TP13/PB5
9	TXD2/TP14/PB6
8	RXD2/TP15/PB7
7	TXD0/P90
6	RXD0/P92
5	*IRQ4/SCK0/P94
4	*IRQ5/SCK1/P95
3	GND
2	DSR
1	DTR

CPU

CPU

* は負論理を示す

CN4 XG4C-3434	
1	VCC
2	VCC
3	PPAC +COMMON
4	PPAC
5	PPA0
6	PPA1
7	PPA2
8	PPA3
9	PPA4
10	PPA5
11	PPA6
12	PPA7
Port A (絶縁入力)	
13	PPBC +COMMON
14	PPBC
15	PPB0
16	PPB1
17	PPB2
18	PPB3
19	PPB4
20	PPB5
21	PPB6
22	PPB7
Port B (絶縁入力)	
23	3.3V
24	3.3V
25	PE0
26	PE1
27	PE2
28	PE3
29	PE4
30	PE5
31	PE6
32	PE7
Port E	
33	GND
34	GND

CN5 XG4C-3434	
1	VCC
2	VCC
3	PPAC COMMON
4	PPAC
5	PPA0
6	PPA1
7	PPA2
8	PPA3
9	PPA4
10	PPA5
11	PPA6
12	PPA7
Port C (絶縁出力)	
13	PPBC COMMON
14	PPBC
15	PPB0
16	PPB1
17	PPB2
18	PPB3
19	PPB4
20	PPB5
21	PPB6
22	PPB7
Port D (絶縁出力)	
23	3.3V
24	3.3V
25	PE0
26	PE1
27	PE2
28	PE3
29	PE4
30	PE5
31	PE6
32	PE7
Port F	
33	GND
34	GND

ジャンパ説明

JP7 アース

ショート	シャーシアース
オープン	オープン

*

JP1、2、3、4、5 /CSの選択

JP1	JP2	JP3	JP4	JP5	
ショート	オープン	オープン	オープン	オープン	/CS3
オープン	ショート	オープン	オープン	オープン	/CS4
オープン	オープン	ショート	オープン	オープン	/CS5
オープン	オープン	オープン	ショート	オープン	/CS6
オープン	オープン	オープン	オープン	ショート	/CS7

注意) *は出荷状態を示す

ボードIDの設定 (SW1)

M-800PIOボードを複数接続する場合、ボードIDを設定します。
それぞれのボードに対してIDは違う値を設定してください。

設定方法

ボードIDの設定は、ボード上のSELECT SW (SW1) で設定します。
スイッチをまわして設定してください。

I/Oアドレスマップ

アドレス(*)			
2x00H	PADR	Port Aデータレジスタ	R
2x02H	PBDR	Port Bデータレジスタ	R
2x04H	PCDR	Port Cデータレジスタ	R/W
2x06H	PDDR	Port Dデータレジスタ	R/W
2x08H	PEDR	Port Eデータレジスタ	R/W
2x0AH	PFDR	Port Fデータレジスタ	R/W
2x18H	PEDDR	Port Eディレクションレジスタ	R/W
2x1AH	PFDDR	Port Fディレクションレジスタ	R/W

(*)xの値はBoard IDで変わります。

ボードID設定

Board ID	オフセット
0	+000H
1	+100H
2	+200H
	↑
F	+F00H

各レジスタの説明

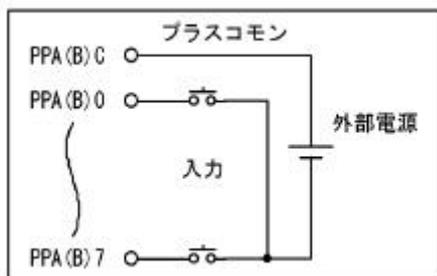
PADR、PBDR

8ビットのリード可能なレジスタでPort A、Bの状態が読み出されます。

ビット:	7	6	5	4	3	2	1	0	
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	0:OFF
初期値:									1:ON
R/W:	R	R	R	R	R	R	R	R	

ビット:	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値:								
R/W:	R	R	R	R	R	R	R	R

入力接続図



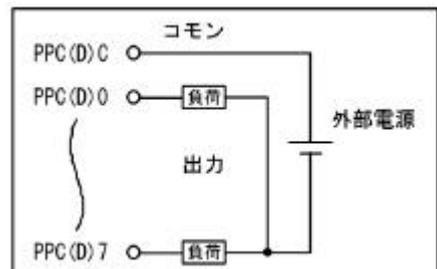
PCDR、PDDR

8ビットのリード/ライト可能なレジスタでPort C、Dの出力データを設定します。リードすると設定した状態が読み出されます。

ビット:	7	6	5	4	3	2	1	0	
	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	0:OFF
初期値:	0	0	0	0	0	0	0	0	1:ON
R/W:	R/W								

ビット:	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

出力接続図



PEDR、PFDR

8ビットのリード/ライト可能なレジスタでPort E、Fの出力データを設定します。
 出力モードの場合リードすると設定した状態が読み出されます。
 入力モードの場合リードするとPort E、Fの状態が読み出されます。

ビット:	7	6	5	4	3	2	1	0	
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	0:LOW
初期値:	0	0	0	0	0	0	0	0	1:HIGH
R/W:	R/W								

ビット:	7	6	5	4	3	2	1	0	
	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	
初期値:	0	0	0	0	0	0	0	0	
R/W:	R/W								

PEDDR、PFDDR

8ビットのリード/ライト可能なレジスタでPort E、Fの入出力方向を設定します。
 リードすると設定した値が読み出されます。

ビット:	7	6	5	4	3	2	1	0	
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	0:入力
初期値:	0	0	0	0	0	0	0	0	1:出力モード
R/W:	R/W								

ビット:	7	6	5	4	3	2	1	0	
	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	
初期値:	0	0	0	0	0	0	0	0	
R/W:	R/W								

本製品の使用により生じた損害にたいする一切の責任は負いかねます。
この説明書に記載されている、会社名および商品名は各社の商標または登録商標です。

M-800P10 取扱説明書
初版作成 2006年5月2日
発行 株式会社ロジパック
〒438-0078 静岡県磐田市中泉1803-1
TEL 0538-32-2822 FAX 0538-34-1082
URL <http://logicpack.co.jp/>
E-mail info@logicpack.co.jp